

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000339

International filing date: 14 January 2005 (14.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-008917  
Filing date: 16 January 2004 (16.01.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

PCT/JP2005/000339

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

17.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 4 年    1 月 1 6 日  
Date of Application:

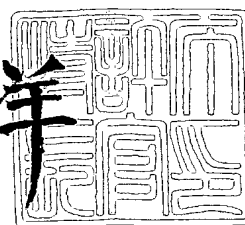
出 願 番 号                      特 願 2 0 0 4 - 0 0 8 9 1 7  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 4 - 0 0 8 9 1 7 ]

出      願      人                      松下電器産業株式会社  
Applicant(s):

2 0 0 5 年    2 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川 洋



出証番号    出証特 2 0 0 5 - 3 0 1 4 2 8 0

【書類名】 特許願  
【整理番号】 2037850143  
【提出日】 平成16年 1月16日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11B 11/07  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 荻田 吉博  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100097445  
    【弁理士】  
    【氏名又は名称】 岩橋 文雄  
【選任した代理人】  
    【識別番号】 100103355  
    【弁理士】  
    【氏名又は名称】 坂口 智康  
【選任した代理人】  
    【識別番号】 100109667  
    【弁理士】  
    【氏名又は名称】 内藤 浩樹  
【手数料の表示】  
    【予納台帳番号】 011305  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9809938

**【書類名】 特許請求の範囲****【請求項 1】**

メモリーを遅延要素として用いるフィルター回路と、  
前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段と

、を備えることを特徴とするフィルター装置。

**【請求項 2】**

メモリーを遅延要素として用いるフィルター回路と、  
前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段と

、前記メモリーに並列に接続されるレジスタと、

を備え、

フィルター演算の上位ビットデータはメモリーへ記録し、下位ビットのデータはレジスタへ記録することを特徴とするフィルター装置。

**【請求項 3】**

前記メモリーの語長は、出力データを受け取る処理回路の入力の語長に等しいことを特徴とする、請求項 2 記載のフィルター装置。

**【請求項 4】**

光ディスク装置の光サーボを行う P I D 制御フィルターの積分項演算部を構成するフィルター装置であって、

メモリーを遅延要素として用いるフィルター回路と、

前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段と  
、を備えることを特徴とするフィルター装置。

【書類名】明細書

【発明の名称】フィルター装置

【技術分野】

【0001】

本発明は光ディスク装置の周回メモリーにおけるフィルター装置に関するものである。

【背景技術】

【0002】

光ディスク装置における、高倍速化、高密度化の進展に伴い、レーザービームの焦点を情報記録トラック上に維持する光サーボは、急速にその精度向上を求められつつあり、精度向上の手段として、特許文献1に示されるような、周回メモリーが注目されている。

【0003】

図5は、従来の光ディスク装置における光サーボループのブロック図であり、周回メモリーとそれに含まれるフィルター装置が示されている。

【0004】

図5において、1はサーボフィルターであり、入力されるサーボエラー信号に対してPID制御フィルターなどの処理を行っている。2は加算点であり、前記サーボフィルター1の出力に周回メモリーの出力を加算する。3はDAコンバーターで、前記加算点2の出力信号をアナログ信号に変換している。4はドライバーで、アクチュエータ駆動電流を発生する。5はピックアップで、アクチュエータ駆動信号によりレンズの位置を移動して光ビームの焦点の位置を移動させている。6は周回メモリーのフィルターで、周回メモリーの制御帯域以上のノイズおよび信号を除去するローパスフィルターと、直流成分を除去するハイパスフィルターで構成されている。7はメモリーで、選択されたアドレスの内容を前記加算点2に送ると共に、前記フィルター6の出力をしかるべきタイミングで同じアドレスに記憶する。8はメモリー制御部で、ディスクの一定回転角度毎に前記メモリー7のアドレスを切り換えるとともに、切り換える直前にデータの書き換えを行う。9は回転角検出部で、入力されたスピンドルFG信号に位相同期した整数倍の周波数のクロック信号を発生し、メモリー制御部8に送って、動作タイミング信号としている。

【0005】

図6は、周回メモリーの動作を示しているブロック図である。図6において、100は光ディスクであり、図示の矢印の方向に回転している。なお、説明のためにその周方向に16分割した1～16の領域を図示している。101はピックアップであり、回転する光ディスク100上のトラックを周方向にトレースしている。102はメモリーであり、光ディスク100上の領域1～16に対応した16個のアドレスを持っている。103はセレクトアであり、メモリー102のうちの一つのアドレスを選択して前記フィルター回路6からのデータを書き込み、また、読み出したデータを前記加算点2に送出する。104はディスクモーターであり、光ディスク100を回転させると共に、備えているFG回路からFGパルスを出力する。105はPLLであり、ディスクモーター104から出力されたFGパルスを逡倍して、一周あたり通常16パルス以上（図6では16パルス）のクロックを生成する。106はカウンターで、PLL105の発生したクロックをカウントして、1～16のカウンター出力を出力する。107はメモリー制御部で、カウンター106のカウンター出力から、ピックアップ101が現在再生している、光ディスク100上の16領域のうちの一つを判別し、対応するメモリー102のアドレスをセレクトア103に送り出している。

【0006】

図7は、メモリー102のデータ更新の様子を説明する波形図である。メモリー制御部107から出力されるメモリーアドレスに従ってメモリー出力が切り替えられ、サーボフィルター1の出力と加算器2によって加算された結果が、フィルター6を経由して出力される。

【0007】

図7では簡単のために、サーボフィルター1の出力はゼロとして作図している。

**【0008】**

フィルター6の出力は、メモリーアドレスが切り替わるまでに整定し、メモリーアドレスが切り替わる直前に、その値によってメモリー102のデータが更新される。

**【0009】**

なお、ここではフィルター6の出力をメモリー102に接続しているが、この順序が逆であっても動作は同じである。

**【0010】**

以下にその動作を説明する。まず、図5が示すサーボループにより、回転する光ディスク上のトラックをピックアップ5がトレースしている際に、トラック位置に対する光ビーム焦点の位置誤差が検出されてサーボフィルター1に入力され、トラックの偏心、面ぶれなどに追従するアクチュエータ駆動出力が、サーボフィルター1から出力されて、ピックアップ5の位置が適切に制御されることにより、トラック上に光ビームの焦点が維持される。

**【0011】**

この際、ディスクの回転数が高くなるにつれてより高いループゲインが必要となるが、ピックアップ5の持つ2次共振などの制約により、ループゲインを上げることには限界があり、その結果、追従性能の劣化という問題が生じる。

**【0012】**

そこで、追従性能を確保するために周回メモリー装置が用いられる。

**【0013】**

図示の、フィルター6、メモリー7が前記サーボフィルター1の出力と、DAコンバーター3の間に接続され、メモリー7に対しては前記の制御が行われている。この構成により、フィルター6により直流成分とノイズが除去された駆動信号はメモリー7に記録され、また、メモリー7から出力されたディスク1回転前の駆動信号は、サーボフィルター1から出力される駆動信号に加算される。

**【0014】**

この動作によって、ディスクの回転に同期した駆動信号は、サーボループではなくメモリー7からフィードフォワードとして供給されるようになり、サーボフィルター1の出力信号レベルが低下する。

**【0015】**

それは、サーボフィルター1の入力であるサーボ誤差信号のレベルが下がることであり、トラックに対する追従性能が向上したことを意味する。

**【0016】**

サーボ特性としては、ディスク1回転の周波数の整数倍の周波数におけるループゲインが上がったこととなる。その結果、ディスクの回転に伴う、偏心などに対する、ピックアップ5の追従性能を向上することが出来る。

【特許文献1】特開平9-50303号公報

**【発明の開示】****【発明が解決しようとする課題】****【0017】**

しかしながら、上記従来の構成において、フィルター6の出力が整定してからメモリー102のデータを更新することは、直前のアドレスのメモリーデータからの干渉をなくすために重要である。

**【0018】**

ところが、周回メモリーによるサーボ性能向上効果を上げるためには、メモリー7の数を増やして周方向の分割数を増やすことが効果的であるが、光ディスク100の回転数が変わらなければ、メモリー102のアドレス切換周波数が高くなり、フィルター6のノイズ除去フィルターのカットオフ周波数を高くしなければ、上記のフィルター出力6が整定するという条件を満足できないという問題点がある。

**【課題を解決するための手段】**

**【0019】**

上記課題を解決するために本発明のフィルター装置は、メモリーと、前記メモリーを遅延要素として用いるフィルター回路と、前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段とを備える構成により、メモリーアドレスの切換とともにフィルターの遅延要素も切り替わるようにすることで、フィルター6のカットオフ周波数の設定をメモリー102のアドレス切換周波数とは独立に設定できるようにしている。

**【0020】**

また、フィルター信号処理の精度維持と安定性確保により、遅延要素として用いるメモリーの語長が大きくなってしまふことをさけるために、上位ビットをメモリーとして下位ビットはアドレスによる切換を行わないレジスタとしている。

**【0021】**

また、サーボフィルターの積分項を、メモリーと、前記メモリーを遅延要素として用いるフィルター回路と、前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段とを備える構成としている。

**【発明の効果】****【0022】**

本発明のフィルター装置は、メモリーと、前記メモリーを遅延要素として用いるフィルター回路と、前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段とを備えることにより、ノイズ除去フィルターのカットオフ周波数をメモリーアドレス切換周波数に依存することなく設定することができ、ノイズ特性に合わせたフィルター設定とすることで、周回メモリーを効果的に運用することが可能となるという効果がある。

**【0023】**

さらに、メモリーと、前記メモリーを遅延要素として用いるフィルター回路と、前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段と、前記メモリーに並列に接続されるレジスタとを備え、フィルター演算の上位ビットデータはメモリーへ記録し、下位ビットのデータはレジスタへ記録する構成により、フィルター処理の精度および安定性の確保のために長くなりがちなメモリーの語長を最小限に抑えた上で、下位ビットのレジスタにより語長を確保し、フィルター処理の精度および安定性の確保を実現した上でメモリー回路の増大を抑えるという効果がある。

**【0024】**

さらに、サーボフィルターの積分項を、メモリーと、前記メモリーを遅延要素として用いるフィルター回路と、前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段とを備える構成とすることで、サーボエラー信号中のディスク回転数に同期した周波数成分の積分項への入力を等価的に直流とすることで、その周波数におけるゲインを積分項のDCゲインと同じにすることができ、より少ない回路規模で、通常のサーボフィルター回路に周回メモリーを追加した場合と同等の効果が得られるという効果がある。

**【発明を実施するための最良の形態】****【0025】****(実施の形態1)**

図1に本発明の第1の実施の形態のブロック図を示す。

**【0026】**

1から9までの構成要素は図5の従来例と同じであるが、メモリー7がフィルター6の構成要素の一部となっており、また、その動作周波数は、メモリーアドレスの切換周波数ではなく、サーボフィルター1の動作周波数と同じ、あるいは、その分周周波数であるという点で異なる。

**【0027】**

以下の説明ではサーボフィルターの動作周波数と同じ周波数で動作しているものとして

いる。

【0028】

図2は、メモリー7がフィルター6の構成要素の一部となっている部分を詳細に図示したブロック図である。

【0029】

10は直流成分を除去するハイパスフィルター、11は帯域外の高域成分を除去するローパスフィルターの加算点、12はメモリーで、12Mは現在のアドレスによって選択されているメモリーセルであり、データの書き込みと読み出しはこのセルに対して行われる。

【0030】

13はローパスフィルターを構成するフィードバックゲイン、14はメモリー12に対してアドレスを与えるメモリー制御部である。

【0031】

図1と図2を用いて本発明の動作を説明する。DAコンバーター3に送られる駆動信号は、ハイパスフィルター10を経由して直流成分を取り除かれた後、メモリーセル12Mと加算点11、フィードバックゲイン13によって構成されたローパスフィルターに入力される。

【0032】

また、メモリーセル12Mの出力は、サーボフィルター1の出力と加算され、駆動信号としてDAコンバーター3に送られる。これらの処理はサーボフィルターの動作周波数で行われるため、メモリー制御部14の出力するアドレスが切り替わるまでに、数10から数100回の処理が行われることになり、その結果、メモリーセル12Mには、メモリーセル12Mがアドレスされて以降の駆動信号の平均値が書き込まれる。

【0033】

メモリー制御部14の出力するアドレスが切り替わった時点で、メモリーセル12Mの内容はホールドされ、他のメモリーセルがアドレスされている間は保存される。

【0034】

この動作により、メモリー12の各セルには、ディスクの回転角度に対応した駆動信号データが記憶されて、周回メモリーとしての機能を持つことになる。

【0035】

また、メモリー制御部14の出力アドレスの切り替わり時の、メモリーセル12Mと加算点11、フィードバックゲイン13によって構成されたローパスフィルターの出力には即座に新しいメモリーデータが反映され、ローパスフィルターのカットオフ周波数には依存しないため、ローパスフィルターのカットオフ周波数は、アドレス切換周波数にたいして独立に設定することが出来、カットオフ周波数を下げた場合には高域成分除去効果を高くすることが出来る。

【0036】

(実施の形態2)

次に本発明の第2の実施の形態を示す。

【0037】

図3は本発明の第2の実施例を示すブロック図である。

【0038】

図3において図2と同じ番号のものは同じものであり、12Rはレジスタで、メモリーセル12Mと共にローパスフィルターの遅延要素を構成し、メモリーセル12Mが上位、レジスタ12Rが下位のデータを記憶する。

【0039】

前記第1の実施例において、メモリーセル12Mがローパスフィルターの遅延要素として機能しているが、ローパスフィルターのカットオフ周波数を低い周波数に設定しようとすると、遅延要素であるメモリー12に記憶されるデータの語長がきわめて長いものとなり、メモリー12の回路規模が大きなものになってしまうという問題がある。

**【0040】**

また、回路規模を削減するために、単純にデータの下位ビットを切り捨てると、ローパスフィルターの演算精度が低下したり、ステップ応答が収束せずに振動的な応答を示すなどの問題が生じる。

**【0041】**

これらの問題を解決するために、本発明では、メモリー12の語長を削減すると共に、削減した部分を切り捨てずにレジスタとして残すことで、メモリー12の回路規模の増大を抑えながら、フィルター動作を安定化し精度を維持することが出来るようにしたものである。

**【0042】**

上位ビットを受け持つメモリー12の語長は、その出力が与えられるDAコンバーター3のビット数に等しくしておくことで、下位ビットを受け持つレジスタ12Rの内容にかかわらず、メモリーアドレスが切り替わった際に、レジスタ12RのデータがDAコンバーターから出力されることはないので、サーボ動作に与える影響を回避することが出来る。

**【0043】**

また、レジスタ12Rの内容は、以後のフィルター処理によって本来の値となるので、周回メモリーとしての動作への影響も最小限にとどめることが出来る。

**【0044】**

(実施の形態3)

次に本発明の第3の実施の形態を示す。

**【0045】**

図4は本発明の第3の実施例を説明するブロック図である。図1と同じ番号のものは同じものであり、1aはサーボフィルター1の中の微分項演算部、1bは比例項演算部、1cは積分項演算部、1dは積分項演算のための加算器、1eは微分項演算部1aと比例項演算部1bと積分項演算部1cの出力を加算して駆動信号として出力する加算器であり、上記2つの実施例では周回メモリー機能として独立していたメモリー7が、積分項演算部1cの遅延要素として用いられている点が異なる。

**【0046】**

以下にこの実施例の動作を説明する。メモリー制御部8の出力するメモリーアドレスが切り替わるまでの動作は、選択されているメモリーセルに対して積分処理が行われるので、通常のサーボフィルターの積分項演算と変わるところはない。

**【0047】**

メモリーアドレスがディスクの回転に応じて切り替わってゆくことで、それぞれのディスク回転角度に対応したサーボ制御信号の低域成分がメモリー7に保存され、同時に出力される。

**【0048】**

ディスクの回転に応じてその回転角度に対応する低域成分が出力されることで、実施例1および2のように、周回メモリーを独立させた構成と同等の効果が得られる。

**【産業上の利用可能性】****【0049】**

本発明にかかるフィルター装置は、メモリーと、前記メモリーを遅延要素として用いるフィルター回路と、前記メモリーへの書き込み、および、読み出しアドレスを選択するメモリー制御手段とを備えることにより、光ディスク装置の周回メモリー回路のフィルター装置として有用である。

**【0050】**

また、周期的なノイズを取り除くフィルター装置、あるいは、周期的な信号を抽出するフィルター装置としても有効である。

**【図面の簡単な説明】****【0051】**

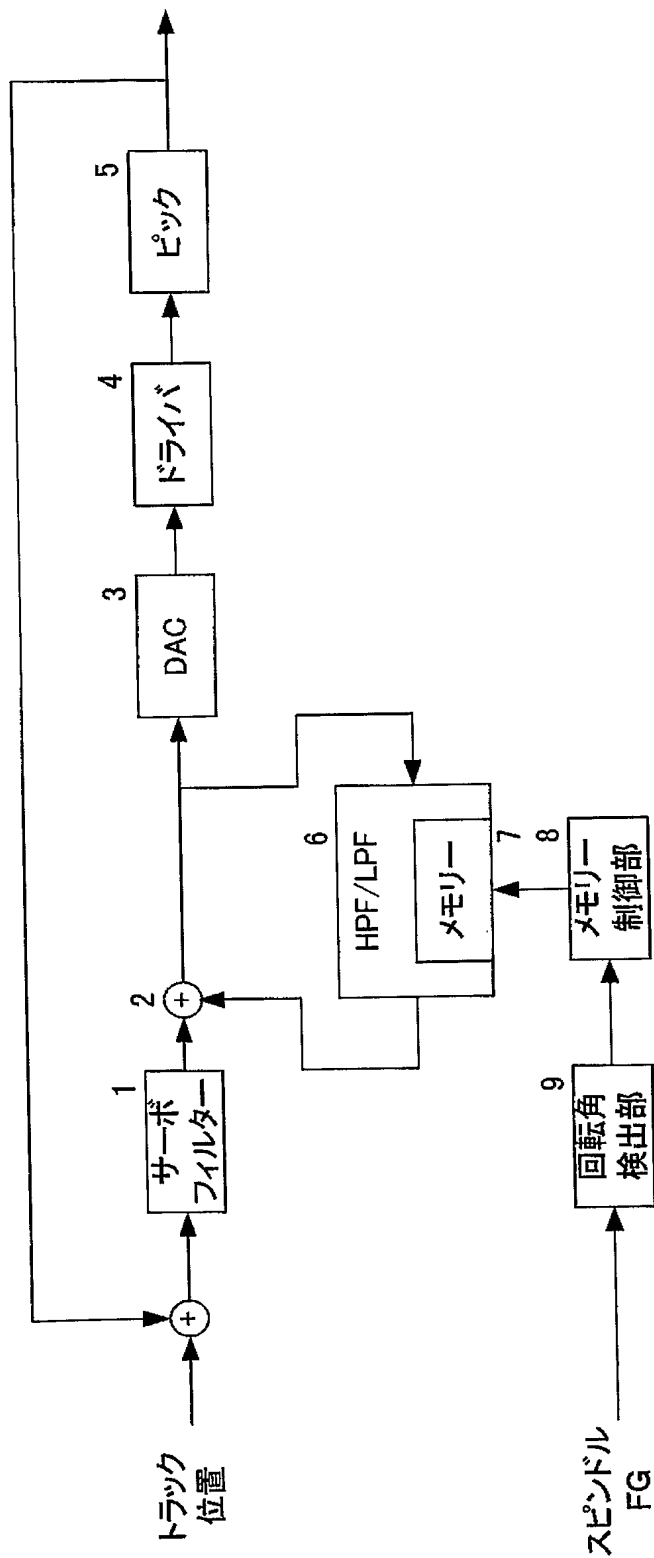
- 【図 1】 本発明の第 1 の実施例を示すブロック図
- 【図 2】 第 1 の実施例のメモリー部詳細ブロック図
- 【図 3】 本発明の第 2 の実施例を示すブロック図
- 【図 4】 本発明の第 3 の実施例を示すブロック図
- 【図 5】 従来例を示すブロック図
- 【図 6】 従来例のメモリー部の動作を示すブロック図
- 【図 7】 従来例のメモリー部のデータ更新の様子を説明する波形図

## 【符号の説明】

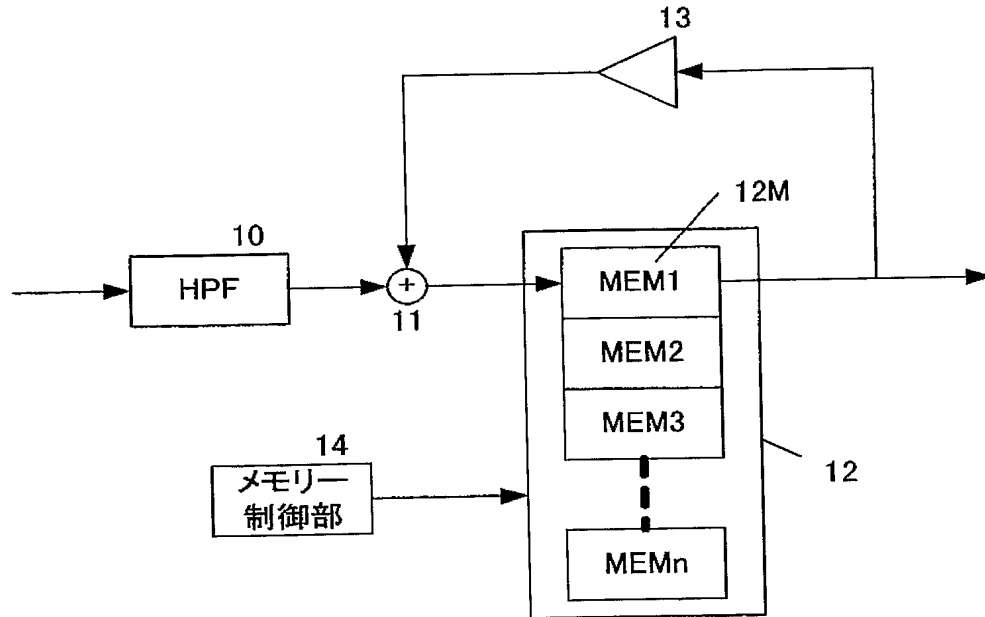
【0052】

- 1     サーボフィルター
- 2     加算点
- 3     DAコンバーター
- 4     ドライバー
- 5     ピックアップ
- 6     フィルター
- 7     メモリー
- 8     メモリー制御部
- 9     回転角検出部

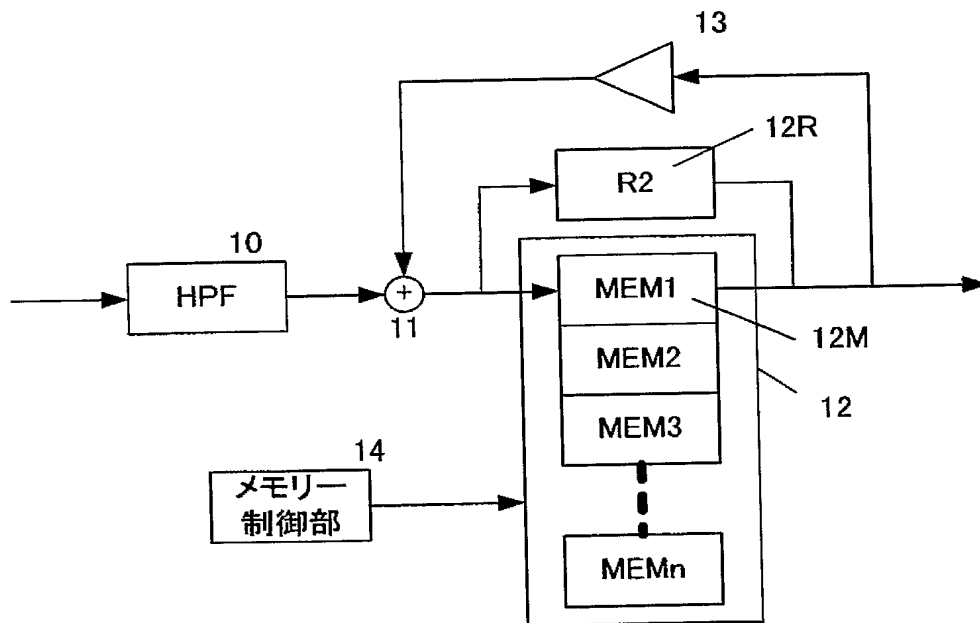
【書類名】 図面  
【図 1】



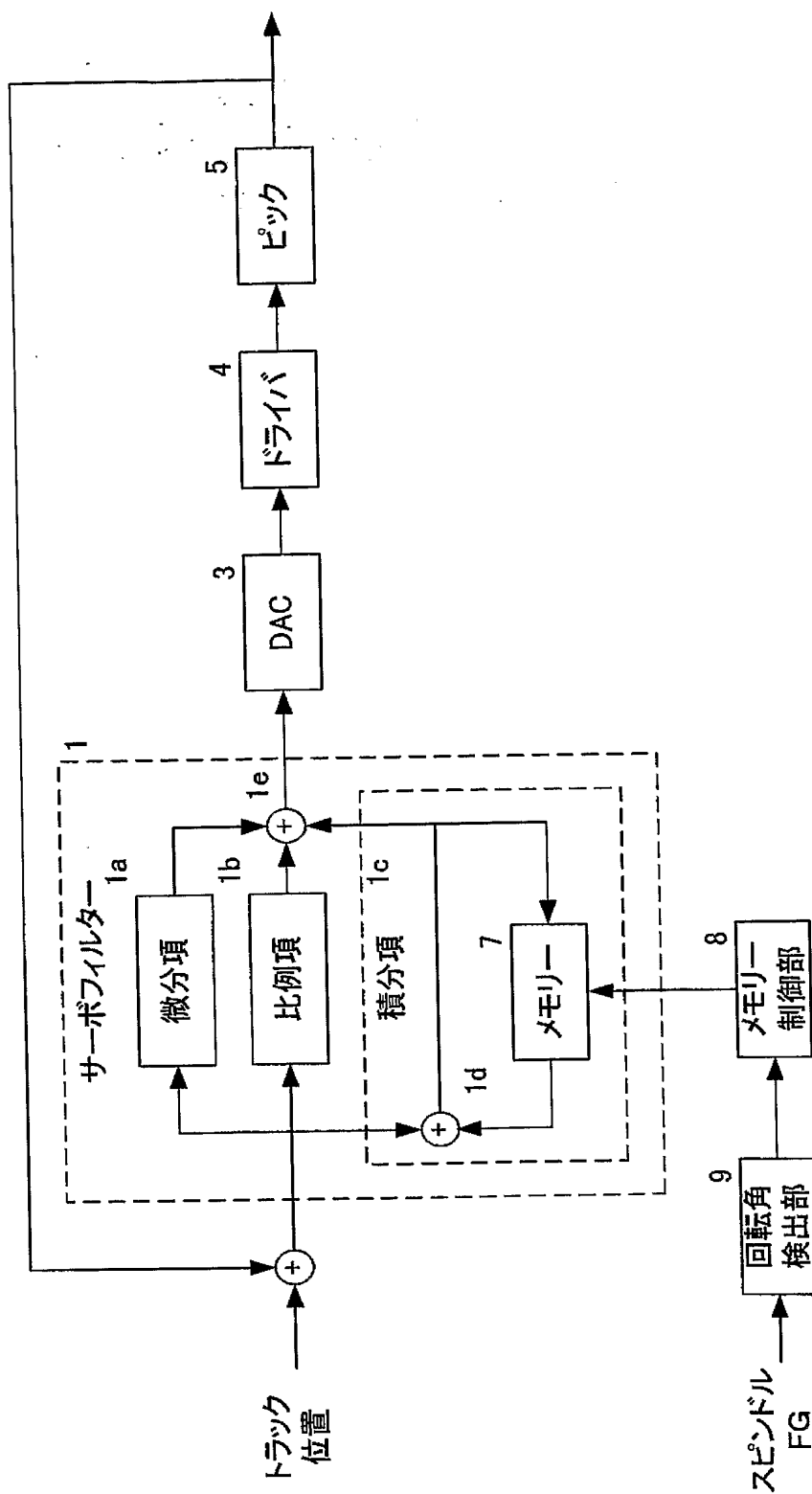
【図 2】



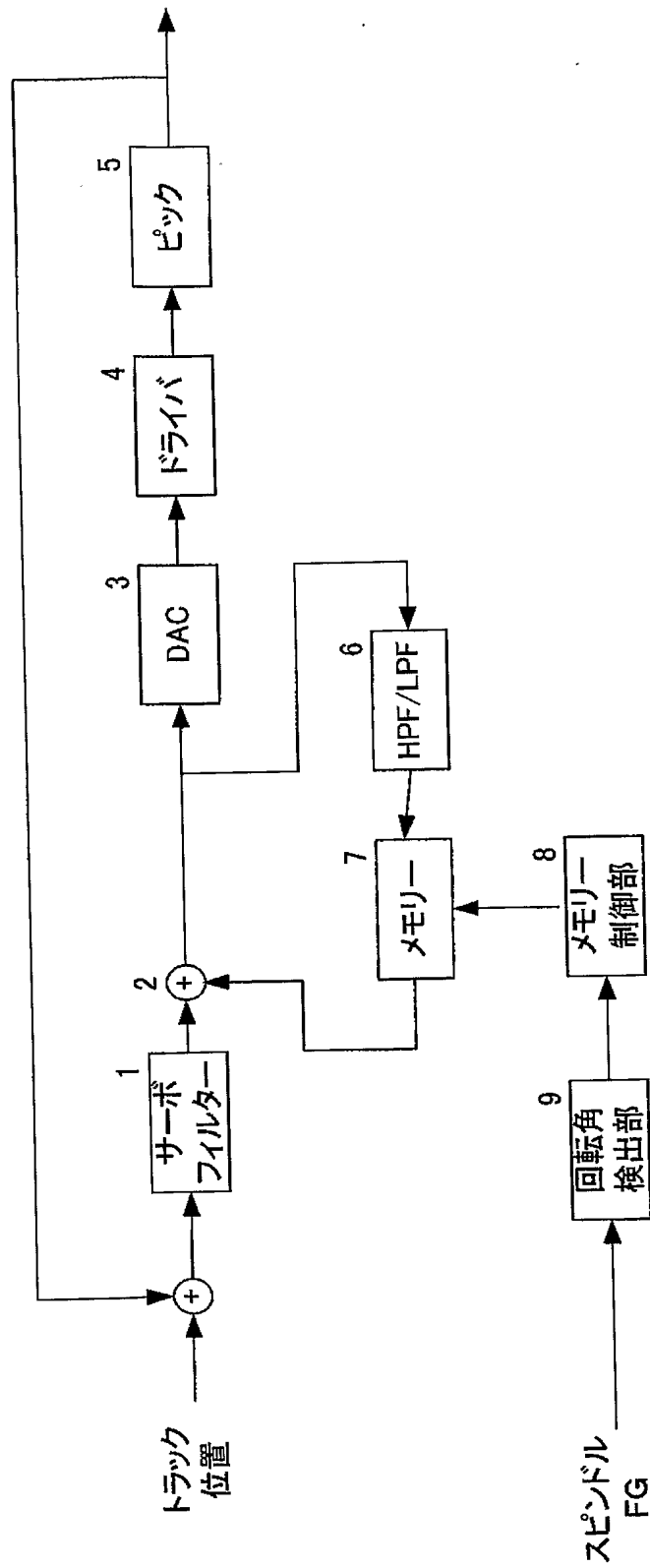
【図 3】



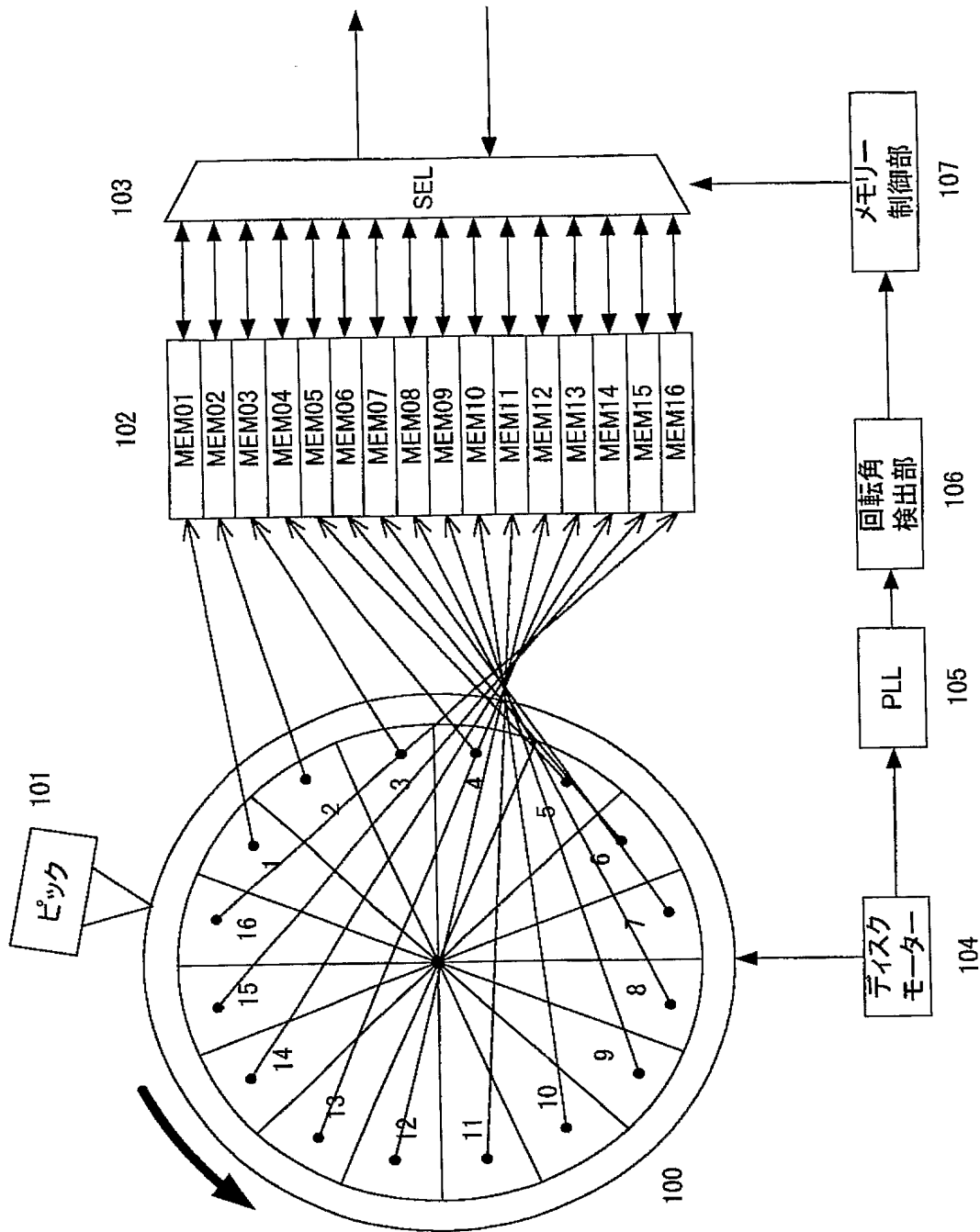
【図 4】



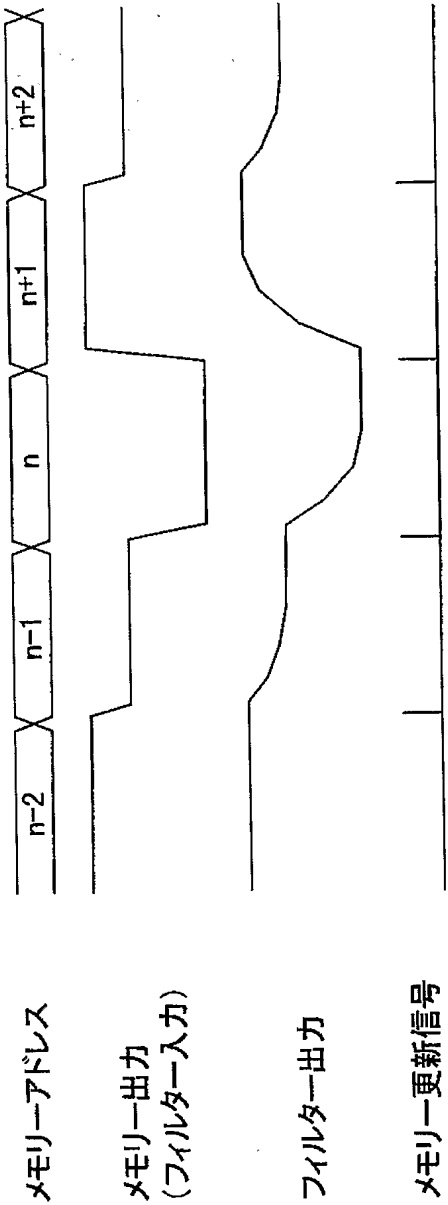
【図 5】



【図 6】



【図 7】



**【書類名】 要約書****【要約】**

**【課題】** フィルターの安定性および精度を確保するためには、遅延要素として用いるメモリーのビット数が大きくなるため、複数のメモリーのうちから一つを選択して使用する用途では、メモリーの回路規模が大きくなってしまう。

**【解決手段】** フィルター出力を受ける後段が必要とするビット数と同じビット数の上位ビットのみにメモリーを用いることで、メモリーの回路規模を最小にした上でメモリー切換時の誤差を無くすことができ、さらに、それ以下のビットについては切換を行わないレジスタを用いて精度と安定性を確保する。

**【選択図】** 図 2

特願 2004-008917

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社